

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-170391

(P 2 0 0 2 - 1 7 0 3 9 1 A)

(43) 公開日 平成14年6月14日(2002.6.14)

(51) Int. Cl. ⁷

G11C 16/06

G05F 1/56

識別記号

310

F I

G05F 1/56

G11C 17/00

310

310

310

632

E

K

D

Z

テマコード (参考)

5B025

5H430

審査請求 有 請求項の数 9 O L (全12頁)

(21) 出願番号 特願2000-362169 (P 2000-362169)

(22) 出願日 平成12年11月29日 (2000.11.29)

(71) 出願人 000232036

エヌイーシーマイクロシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番5

3

(72) 発明者 頓田 保弘

神奈川県川崎市中原区小杉町一丁目403番5

3 日本電気アイシーマイコンシステム株

式会社内

(74) 代理人 100071526

弁理士 平田 忠雄

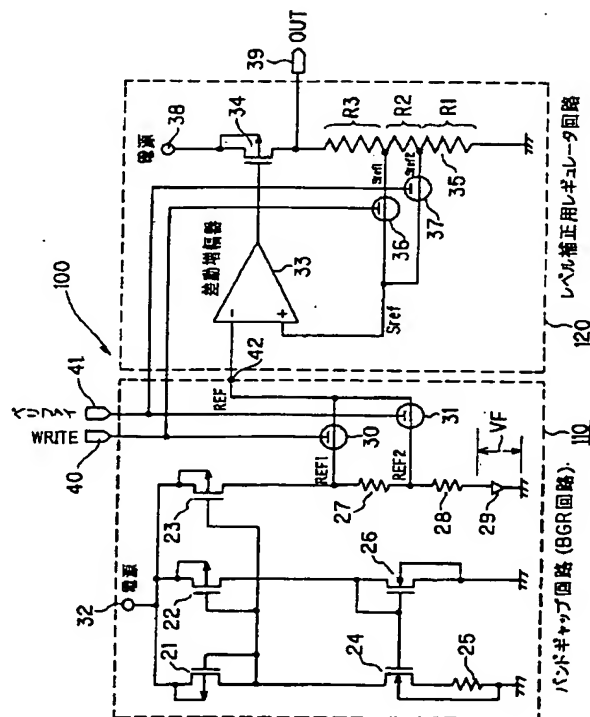
最終頁に続く

(54) 【発明の名称】 不揮発性メモリの基準電圧発生回路

(57) 【要約】

【課題】 レベル補正用レギュレータ回路と1つのバンドギャップ回路によってレイアウト面積を小さくしながら、各モードに応じた温度特性が実現できる不揮発性メモリの基準電圧発生回路を提供する。

【解決手段】 基準電圧発生回路100は、バンドギャップ回路110とレベル補正用レギュレータ回路120からなり、バンドギャップ回路100は、抵抗25、27、28の抵抗値の設定により書き込み/消去モードおよびベリファイ/読み出しモードのそれぞれに応じた温度特性の出力電圧REF1、REF2を生成し、その1つをトランスファークラップ30、31で選択してREFとする。レベル補正用レギュレータ回路120は、出力REFに基づいてモード毎に要求されるレベルの出力電圧OUT (基準電圧) を生成する。



【特許請求の範囲】

【請求項 1】 不揮発性メモリの書き込み／消去モードおよびベリファイ／読み出しモードに応じて書き込み電圧または消去電圧のほか、ベリファイ電圧を設定してメモリセルのゲートに印加するための基準電圧発生回路において、

前記モードのそれぞれに応じた温度特性の出力電圧を生成すると共に、前記モード毎に前記温度特性を切り替えるバンドギャップ回路と、

前記バンドギャップ回路の出力電圧に基づいて前記モード毎の基準電圧を生成するレベル補正用レギュレータ回路を備えることを特徴とする不揮発性メモリの基準電圧発生回路。

【請求項 2】 前記ベリファイ／読み出しモードは、2種類のベリファイモードを持つことを特徴とする請求項 1 記載の不揮発性メモリの基準電圧発生回路。

【請求項 3】 前記バンドギャップ回路は、前記温度特性として、前記ベリファイ／読み出しモードにあつては温度の低いときには出力レベルが高く、温度が高くなるにつれて出力レベルが低くなる特性を備えることを特徴とする請求項 1 記載の不揮発性メモリの基準電圧発生回路。

【請求項 4】 前記バンドギャップ回路は、第 1 の抵抗と、

前記第 1 の抵抗に定電流を流す駆動回路と、

抵抗値 R_2 を持ち、前記第 1 の抵抗の抵抗値 R_1 との比 (R_2/R_1) により温度依存性を決定する第 2 の抵抗と、

前記第 2 の抵抗に順方向に直列接続され、出力電圧の一部を生成するダイオードと、

前記第 2 の抵抗と前記ダイオードからなる直列回路に定電流を流し、前記第 2 の抵抗の所定位置から出力電圧を取り出す定電流回路と、

前記第 2 の抵抗を所定の抵抗比で分割し、その分割点の出力を前記ベリファイ／読み出しモード時に選択し、前記第 2 の抵抗の高電位端の出力を前記書き込み／消去モード時に選択する切替手段を備えることを特徴とする請求項 1 または 3 記載の不揮発性メモリの基準電圧発生回路。

【請求項 5】 前記切替手段は、前記第 2 の抵抗の高電位端に接続され、前記書き込み／消去モード時にオンにされる第 1 のトランスファergeートと、

前記第 2 の抵抗の前記分割点に接続され、前記ベリファイ／読み出しモード時にオンにされる第 2 のトランスファergeートを備えることを特徴とする請求項 2 記載の不揮発性メモリの基準電圧発生回路。

【請求項 6】 前記バンドギャップ回路は、第 2 のベリファイ／読み出しモードに対応した出力電圧を取り出す第 3 の抵抗が前記第 2 の抵抗に直列接続され、前記第 3 の抵抗の出力電圧を出力端子に導く第 3 のトランスファ

ergeートが前記切替手段に設けられていることを特徴とする請求項 5 記載の不揮発性メモリの基準電圧発生回路。

【請求項 7】 前記レベル補正用レギュレータ回路は、前記バンドギャップ回路の出力電圧を一方の入力とする差動増幅器と、

前記差動増幅器の出力段と接地間に接続されると共に前記 2 つのモードに対応した第 1 および第 2 の抵抗分割点を持つ第 3 の抵抗と、

前記書き込み／消去モードと前記ベリファイ／読み出しモードに応じて選択した前記第 1 および第 2 の抵抗分割点の出力電圧の一方を前記差動増幅器の他方の入力端子に入力させる選択手段を備えることを特徴とする請求項 1 記載の不揮発性メモリの基準電圧発生回路。

【請求項 8】 前記選択手段は、前記第 1 の抵抗分割点と前記差動増幅器の他方の入力端子の間に設けられ、前記書き込み／消去モード時にオンにされる第 4 のトランスファergeートと、

前記第 2 の抵抗分割点と前記差動増幅器の他方の入力端子の間に設けられ、前記ベリファイ／読み出しモード時にオンにされる第 5 のトランスファergeートを備えることを特徴とする請求項 1 記載の不揮発性メモリの基準電圧発生回路。

【請求項 9】 前記レベル補正用レギュレータ回路は、前記第 3 の抵抗が第 2 のベリファイ／読み出しモードに対応する第 3 の抵抗分割点と、前記選択手段が前記第 3 の抵抗分割点と前記差動増幅器の他方の入力端子の間に設けられ、前記ベリファイ／読み出しモード時にオンにされる第 6 のトランスファergeートを備えることを特徴とする請求項 8 記載の不揮発性メモリの基準電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性メモリの基準電圧発生回路に関し、特に、書き込み、消去、ベリファイ (verify) の各電圧を生成するに際し、1 つのバンドギャップ回路によって各動作モード (書き込み／消去、ベリファイ／リード) に応じた温度特性を得ることのできる不揮発性メモリの基準電圧発生回路に関する。

【0002】

【従来の技術】 不揮発性半導体メモリにおいては、消去または書き込みの後、消去または書き込みが正しく行われたか否かを確認するために、書き込みベリファイまたは消去ベリファイを行い、これに対して読み出し動作を行うことが行われている。そのため、不揮発性半導体メモリの内部で、消去ベリファイ時 (または書き込みベリファイ時) および読み出し時にメモリセルのゲート電圧として用いられる消去ベリファイ電圧 (または書き込みベリファイ電圧) および読み出し電圧を基準電圧発生回路により生成している。上記の消去ベリファイ電圧、書き込みベリファイ電圧、及び読み出し電圧を切替えるこ

とにより、各ワード線には、選択的に電圧が出力される。

【0003】図5は、従来の不揮発性メモリの基準電圧発生回路の具体例を示す。基準電圧発生回路500は、出力電圧REFを発生するバンドギャップ(BGR)回路510と、このバンドギャップ回路510に接続される書込用レギュレータ回路520より構成されている。書込用レギュレータ回路520は、バンドギャップ回路510の出力電圧REFを入力とし、このREFに基づいて出力電圧OUTを生成する。バンドギャップ回路510は、P型トランジスタ1、4、6、N型トランジスタ2、5、抵抗3、7、及びダイオード8を備えて構成されている。

【0004】P型トランジスタ1、4、6の各ソースは、共に電源ラインに接続されている。P型トランジスタ1のゲートとドレインは共通接続され、この部分はN型トランジスタ2のドレインに接続されている。P型トランジスタ4は、ゲートがP型トランジスタ1のドレインに接続され、更にドレインはN型トランジスタ5のドレインに接続されている。P型トランジスタ6は、ゲートがP型トランジスタ1のドレインに接続されている。P型トランジスタ6のドレインからは、抵抗3の抵抗値に反比例した定電流が出力される。P型トランジスタ1、4、6は、これらのゲートが並列接続された状態で

$$\begin{aligned} \delta(\text{REF})/\delta T = & (k/q) \times \ln \{ \{ (W4/L4) \\ & \times (W2/L2) \} / \{ (W1/L1) \times (W5/L5) \} \} \\ & \times \{ (W6/L6) / (W1/L1) \} \times (R7/R3) \\ & + (\delta(VF)/\delta T) \end{aligned} \quad \dots (1)$$

(ただし、kはボルツマン定数で 1.38×10^{-23} [J/K]、qは電子単体が持つ電荷量(素電荷)で 1.6×10^{-19} [C]、Tは絶対温度、W1、W2、W4、W5、W6はトランジスタ1~6の各チャネル幅、L1、L2、L4、L5、L6はトランジスタ1~6の各チャネル長さ、k/qは定数である)この式(1)は、ダイオード8の順方向電圧VFの温度依存性 $\delta(VF)/\delta T$ が、通常は負の値を持ち、出力電圧REFの温度依存性 $\delta(\text{REF})/\delta T$ が抵抗7、3の抵抗値比 $R7/R3$ により設定可能であることがわかる。すなわち、REFレベルに温度依存性を持たせるには、抵抗値比 $R7/R3$ を設定するのみでよい。

【0007】また、書込用レギュレータ回路520は、差動増幅器9、P型トランジスタ10、および抵抗11

$$\text{OUT} = \{ (R10 + R11) / R10 \} \times \text{REF} \quad \dots (2)$$

また、バンドギャップ回路510から出力されるREFレベルは、上記のように温度依存性を持たないように設定したため、書き込み用レギュレータ520のOUTレベルも温度依存性を持たない設定になる。

【0009】ベリファイモードでは、書き込みを行った後(消去後も含め)、書き込みが正しく行われたか否かを判定するため、書き込み後に書き込みベリファイが行

N型トランジスタ2のドレインに接続されている。N型トランジスタ2のソースは抵抗3を介して接地され、ゲートはN型トランジスタ5のゲートに接続されている。N型トランジスタ5のソースは接地され、N型トランジスタ5のドレインとゲートは、共にP型トランジスタ6のソースに接続されている。P型トランジスタ6のドレインと接地間には、抵抗7とダイオード8を直列接続した回路が挿入されている。抵抗7の高電位側からは、バンドギャップ回路510の出力として、出力電圧REFが出力される。

【0005】バンドギャップ回路510において、抵抗7とダイオード8からなる直列回路に供給される定電流は、抵抗3の抵抗値に反比例する。そのため、抵抗7には、抵抗3の抵抗値に応じた降下電圧、すなわち、抵抗7の抵抗値 $R7$ と抵抗3の抵抗値 $R3$ の抵抗値の比(=抵抗 $R7$ /抵抗 $R3$)で設定された電圧降下VRが発生し、この電圧降下VRとダイオード8の順方向電圧VFの和(=VR+VF)が、出力電圧REFとして出力される。また、この出力電圧REFの温度依存性 $\delta(\text{REF})/\delta T$ は、抵抗7、3の抵抗値 $R7$ 、 $R3$ と、トランジスタ1、2、4、5、6の各[チャネル幅/長さ=W/L]比と、ダイオード8の順方向電圧VFにより、次式で表される。

【0006】

を備えて構成されている。差動増幅器9の(-)入力端子には、バンドギャップ回路510の出力電圧REFが入力され、(+)入力端子には抵抗11の分割端子(抵抗 $R10$ と $R11$ により分割)の電圧Srefが入力されている。差動増幅器9の出力端子にはP型トランジスタ10のゲートが接続され、ドレインと接地間には抵抗11が接続されている。P型トランジスタ10のソースは、電源ラインに接続されている。差動増幅器9は、(-)および(+)の入力端子に入力されたREF値とSref値を比較する。

【0008】書き込みモード時において、書き込み用レギュレータ520のOUTレベルは、抵抗11の抵抗値 $R10$ 、 $R11$ による分割比に基づいて、次式のように求められる。

【0009】また、不揮発性メモリのメモリセルはMOS(Metal Oxide Semiconductor Transistor)の一種であるため、通常、低温時のしきい値が高く、高温になるに従って低くなる特性をもっている。したがって、書き込み後、ベリファイを行う際、低温時にはベリファイレベルが高く、高温になるにつれてベリファイレベルが低くなるように設定すれば、メモリセルのしきい値の温度特

性に合致するため、ペリファイが有利に行われることになる。そこで、高温になるに従ってペリファイレベルが低くなるような回路が求められる。このような温度特性を持ったペリファイレベルを得るためには、基準電圧発生回路を後述する図 6 の (b) に示す構成にし、温度依存性を持ったバンドギャップ回路で基準電圧を生成し、ペリファイ用レギュレータ回路で必要なレベルを得るようにすればよい。

【0010】図 6 は、バンドギャップ回路と書き込み用レギュレータ回路を備えた従来の基準電圧発生回路の書き込み用およびペリファイ用の概略構成を示す。図 6 の (a) は書き込み用の基準電圧発生回路 601 であり、温度依存性無しのバンドギャップ (BGR) 回路 611 と、このバンドギャップ回路 611 に接続された書き込み用レギュレータ回路 612 を備えて構成され、レギュレータ回路 612 からは書き込み用の基準電圧が出力される。この書き込み用基準電圧は、バンドギャップ回路 611 が温度依存性を持たないことから、温度依存性無しになっている。また、図 6 の (b) はペリファイ用の基準電圧発生回路 602 であり、温度依存性有りのバンドギャップ (BGR) 回路 611 と、このバンドギャップ回路 621 に接続されたペリファイ用レギュレータ回路 622 を備えて構成され、レギュレータ回路 622 からはペリファイ用の基準電圧が出力される。バンドギャップ回路 621 は、その出力レベルが温度依存性を持つように設定 (温度が高くなるに従い、出力レベルが低くなる) されるため、ペリファイ用レギュレータ 622 の入力 (バンドギャップ回路の出力) が温度に対して変動し、ペリファイ用レギュレータ回路 622 の出力レベルも変動することになる。

【0011】図 7 は、図 6 の (a) の書き込み用レギュレータ回路 612 の出力レベルと温度の関係を示す。上

$$\begin{aligned} \delta (REF) / \delta T = & (k/q) \times \ln \{ \{ (W4/L4) \\ & \times (W2/L2) \} / \{ (W1/L1) \times (W5/L5) \} \} \\ & \times \{ (W6/L6) \times (W1/L1) \} \times (R7/R3) \\ & + \delta (VF) / \delta T \end{aligned} \quad \dots (3)$$

式 (3) は、ダイオード 8 の順方向電圧 VF の温度依存性 $\delta (VF) / \delta T$ は、通常は負の値を持ち、REF の温度依存性 $\delta (REF) / \delta T$ は、図 5 の抵抗 7 と 3 の抵抗値比 ($R7/R3$) により設定可能であることを示している。すなわち、抵抗 7 と 3 の抵抗値の設定により、低温では高く、高温では低くなるような温度依存性

$$OUT = \{ (R10 + R11) / R10 \} \times REF \quad \dots (4)$$

で決まり、抵抗 11 の抵抗値 R10 と抵抗値 11 によりペリファイに必要なレベルを得ることができる。また、REF レベルは、温度依存性が低温では高く、高温では低くなるようにしたため、ペリファイ用レギュレータの出力 (OUT) レベルの温度依存性も、低温では高く、高温では低くなる。以上より明らかなように、書き込み及びペリファイにおいて、温度依存性が異なる書き込み

記したように、バンドギャップ回路 611 に温度依存性がないことから、に示すように、温度変化に関わらず出力電圧は一定値を示している (図 7)。バンドギャップ回路 611 に温度依存性がないことから、書き込み用レギュレータ回路 622 の出力レベルも温度変化と無関係に一定となる。したがって、不揮発性メモリ (メモリセル) がどのような温度環境下にあっても、一定レベルの電圧をドレインおよびゲートに与えることが可能になり、温度に関係なく書き込みが行えるようになる。

【0012】図 8 は、図 6 の (b) のペリファイ用レギュレータ回路 622 の出力レベルと温度の関係を示す。図 8 から明らかなように、バンドギャップ回路 621 の出力レベルが温度依存性を持つように設定されているため、ペリファイ用レギュレータ回路 622 の出力レベルは、温度に応じて変化 (温度が高くなるに従い、出力レベルが低くなる) する。このように、メモリセルのしきい値の温度特性に応じたペリファイレベルが得られるため、書き込み後のペリファイにおいて有利な条件を作れることになる。

【0013】なお、図 6 において、書き込み用のバンドギャップ回路 611 とペリファイ用のバンドギャップ回路 621 は同一回路構成であり、書き込み用レギュレータ回路 612 とペリファイ用レギュレータ回路 622 も同一回路構成である。ただし、ペリファイ用レギュレータ回路 622 の出力レベルをメモリセルのしきい値の温度特性に応じたレベルと同じ変動にするため、次のような対策がとられる。ペリファイ用バンドギャップ回路 621 の REF の温度依存性 $\delta (REF) / \delta T$ は、抵抗 7、抵抗 3 の抵抗値 R7、R3 と、トランジスタ 1、2、4~6 のチャネル [幅/長 = W/L] 比と、ダイオード 8 の順方向電圧 VF とにより、次式で表される。

【0014】

を REF レベルに持たせることができる。

【0015】図 5 において、書き込みモード時における書き込み用レギュレータ 520 の出力 (OUT) レベルは、抵抗 11 を抵抗値 R10 と R11 で分割することによって、

レベルとペリファイレベルを得るためには、書き込み用バンドギャップ回路とペリファイ用バンドギャップ回路の 2 つのバンドギャップ回路を持つ必要がある。なお、式 (3) を満たす従来技術として、特開平 11-154397 号公報があり、メモリセルの閾値電圧と同等の温度依存性を持ち、低温では高い出力レベル、高温では低い出力レベルを設定できるようにし、低温においてメモ

リセルの読み出しスピードが遅くなるのを改善している。

【0016】

【発明が解決しようとする課題】しかし、従来の不揮発性メモリの基準電圧発生回路によると、以下の問題がある。

(1) バンドギャップ回路はアナログ構成であり、精度向上のために小さなMOSトランジスタを多数組み合わせ、半導体ウエハ内におけるMOSトランジスタのしきい値のばらつきの影響を抑えている。このため、1つのバンドギャップ回路のレイアウト面積が大きくなっている。近年、IC(集積回路)のコスト削減のため、レイアウト面積を優先にした開発が多くなってきており、レイアウト面積が大きくなるバンドギャップ回路はネックになっている。

(2) 書き込み時(消去時)には、メモリセルのドレイン電圧およびゲート電圧に温度依存性が無く常に一定レベルとなって、書き込み特性が温度に依存しないようにし、書き込み後(消去後)には、メモリセルのしきい値の温度特性に応じたベリファイレベルが得られ、ベリファイにおけるマージンの確保が得られるようにするためには、書き込み(消去)用とベリファイ用の2つのバンドギャップ回路を設けねばならないが、これによりレイアウト面積は更に増加する。この問題は、特開平11-154397号公報においても同様に生じる。

【0017】本発明の目的は、レベル補正用レギュレータ回路と1つのバンドギャップ回路によってレイアウト面積を小さくしながら、各モードに応じた温度特性が実現できる不揮発性メモリの基準電圧発生回路を提供することにある。

【0018】

【課題を解決するための手段】本発明は、上記の目的を達成するため、不揮発性メモリの書き込み/消去モードおよびベリファイ/読み出しモードに応じて書き込み電圧または消去電圧のほか、ベリファイ電圧を設定してメモリセルのゲートに印加するための基準電圧発生回路において、前記モードのそれぞれに応じた温度特性の出力電圧を生成すると共に、前記モード毎に前記温度特性を切り替えるバンドギャップ回路と、前記バンドギャップ回路の出力電圧に基づいて前記モード毎の基準電圧を生成するレベル補正用レギュレータ回路を備えることを特徴とする不揮発性メモリの基準電圧発生回路を提供する。

【0019】この構成によれば、バンドギャップ回路は、書き込み/消去モードおよびベリファイ/読み出しモードのそれぞれに対応した温度-出力電圧特性の出力電圧が生成され、その1つが前記モードに応じて選択して出力される。選択された出力電圧は、レベル補正用レギュレータ回路によってモード毎に出力レベルを補正し、これを基準電圧とする。したがって、書き込み/消

去モードおよびベリファイ/読み出しモードの各基準電圧を1つのバンドギャップ回路と1つのレベル補正用レギュレータ回路により生成することができるため、レイアウト面積を小さくしながら、各モードに応じた温度特性が実現できる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について図面を基に説明する。

【第1の実施の形態】図1は、本発明の不揮発性メモリの基準電圧発生回路を示す。本発明の基準電圧発生回路100は、バンドギャップ(BGR)回路110と、このバンドギャップ回路110に接続されるレベル補正用レギュレータ回路120より構成されている。バンドギャップ回路110から出力される出力電圧REFのレベルは、モード(書き込みモード、ベリファイモード)毎に異なるため、レベル補正用レギュレータ回路120によってレギュレートを行う。例えば、温度25℃にて、各モード毎でも同一レベルが得られるように、レベル補正用レギュレータ回路120の抵抗35のSrefを取り出すための抵抗比をトランスファergeート36、37でモード毎に変更し、出力レベルの調整を行って出力電圧OUT(基準電圧)を生成している。

【0021】バンドギャップ回路110において、P型トランジスタ21、22、23の各ソースは、共に電源ライン32に接続されている。P型トランジスタ21は、そのゲートとドレインが共通接続され、この部分はN型トランジスタ24のドレインに接続されている。P型トランジスタ22は、P型トランジスタ21のドレインにゲートが接続され、そのドレインはN型トランジスタ25のドレインに接続されている。さらに、P型トランジスタ23は、ゲートがP型トランジスタ21のドレインに接続され、ドレインから抵抗25の抵抗値に反比例した定電流を出力する。P型トランジスタ21、22、23は、ゲートが並列接続され、N型トランジスタ24のドレインに接続されている。N型トランジスタ24のソースは抵抗25を介して接地され、ゲートはN型トランジスタ26のゲートに接続されている。N型トランジスタ26のソースは接地され、ドレインとゲートは直に接続されている。P型トランジスタ23のドレインと接地間には、抵抗27、28とダイオード29を直列にした回路が接続されている。抵抗27の高電位側(REF1)と出力端子42の間にはスイッチとなるトランスファergeート30が接続され、WRITE端子40の印加電圧に応じてオン/オフする。さらに、抵抗27、28の接続点(REF2)と出力端子42の間にはトランスファergeート31が接続され、ベリファイ端子41の印加電圧に応じてオン/オフする。出力端子42からは、出力電圧REFが出力される。トランジスタ21、11、23の基板電極はそれぞれのドレインに接続され、トランジスタ24の基板電極は接地され、トランジ

スタ 26 の基板電極はソースに接続されている。

【0022】レベル補正用レギュレータ回路 120 は差動増幅器 33 を主体に構成され、バンドギャップ回路 110 の出力電圧 REF が (-) 入力端子に入力され、その出力端子には P 型トランジスタ 34 のゲートが接続されている。P 型トランジスタ 34 のドレインと接地間には抵抗 35 が接続され、ソースは電源ライン 38 および基板電極に接続されている。抵抗 35 は抵抗値 R1, R2, R3 の 3 つに分割され、各境界により 2 ヶ所の分割点 (取り出し位置) が設けられており、それぞれから電圧 Sref1 と電圧 Sref2 が取り出される。電圧 Sref1 が出力される分割点と差動増幅器 33 の (+) 入力端子の間にはトランスファゲート 36 が接続され、電圧 Sref2 が出力される分割点と差動増幅器 33 の (+) 入力端子の間にはトランスファゲート 37 が接続されている。トランスファゲート 36 の制御端子は WR I T E 端子 40 に接続され、トランスファゲート 37 の制御端子はベリファイ端子 41 に接続されている。差動増幅器 33 は、2 つの入力端子に入力された REF 値と Sref 値を比較、その結果に応じた出力電圧 OUT を出力する。

【0023】次に、上記構成による基準電圧発生回路 100 の動作の概略について説明する。バンドギャップ回路 110 内部の抵抗を抵抗 27 と抵抗 28 の 2 つに分け、それぞれの接続点にトランスファゲート 30、31 を接続し、これらを WR I T E モードとベリファイモードに応じて駆動することにより、バンドギャップ回路 110 の出力レベルが変化する。この構成により、バンドギャップ回路 110 の出力レベルの温度依存性も異なるようになる。バンドギャップ回路 110 の出力レベルが、モード (WR I T E モード、ベリファイモード) 毎に異なる結果、レベル補正用レギュレータ 120 によりレギュレートを行う必要がある。例えば、温度 25℃ においてモードによらず同一出力レベルが得られるように、抵抗 35 の抵抗比を変更する。この変更は、電圧 S

$$\begin{aligned} \delta (REF1) / \delta T = & (k/q) \times \ln \{ \{ (W22/L22) \\ & \times (W24/L24) \} / \{ (W21/L21) \times (W26/L26) \} \} \\ & \times \{ (W23/L23) / (W21/L21) \} \times \{ (R28+R27) \\ & / R25 \} + \delta (VF) / \delta T \end{aligned}$$

(ただし、W21 ~ 24, W26 はトランジスタ 21 ~ 24, 26 の各チャネル幅、L21 ~ 24, L26 はトランジスタ 21 ~ 24, 26 の各チャネル長、k/q である) この式 (5) は、ダイオード 29 の順電圧 VF の温度依存性 $\delta (VF) / \delta T$ は、通常は負の値を持ち、REF1 の温度依存性 $\delta (REF1) / \delta T$ は、抵抗 28, 27, 25 の抵抗値比 $\{ (R28+R27) / R25 \}$ により設定可能なことを表している。すなわち、抵抗 27, 28, 25 の各抵抗値の設定により、REF1 のレベルが温度依存性を持たないようにすることができる。

【0027】一方、REF2 のレベルは、抵抗 28、ダ

ref1 と電圧 Sref2 の各出力点に接続したトランスファゲート 36 と 37 を WR I T E モードとベリファイモードで切り替えることにより行い、これによってレギュレータレベル補正用レギュレータ 120 の出力レベルが調整される。

【0024】次に、図 1 の基準電圧発生回路の動作の詳細について説明をする。バンドギャップ回路 110 において、P 型トランジスタ 23 からダイオードに至る回路は、定電流回路を形成している。この定電流回路は、P 型トランジスタ 23 のドレインから定電流が出力され、この定電流は抵抗 25 の抵抗値に反比例した値となる。トランスファゲート 30 と 31 の選択は、不揮発性メモリの WR I T E モードとベリファイモードにより選択される。すなわち、WR I T E モード時にはトランスファ 30 が選択され、REF1 (抵抗 27 の高電位側出力) のレベルが REF として出力され、ベリファイモード時にはトランスファ 31 が選択され、REF2 (抵抗 27 と 28 の接続点の出力) のレベルが REF として出力される。

【0025】バンドギャップ回路 110 において、定電流回路に流れる定電流は、抵抗 25 の抵抗値に反比例する。そのため、抵抗 27, 28 には、これらの抵抗値に比例し、かつ抵抗 25 の抵抗値に反比例した電圧降下、すなわち、抵抗比 $\{ (抵抗 27 + 抵抗 28) / 抵抗 25 \}$ で決まる電圧降下が発生し、この電圧値 VR とダイオード 29 の順方向電圧 VF の和が、出力電圧 REF1 として出力される。また、この出力電圧 REF1 の温度依存性 $\delta (REF1) / \delta T$ は、抵抗 28, 27 と抵抗 25 の抵抗値 R28, R27, R25 と、トランジスタ 21, 22, 23, 24, 26 の各 [チャネル幅/長 = W/L] 比と、ダイオード 29 の順方向電圧 VF とにより定まり、次式で表される。

【0026】

イオード 29 の直列回路に供給される定電流は、抵抗 25 の抵抗値に反比例する。そのため、抵抗 28 には、抵抗 28 の抵抗値に比例し、かつ抵抗 25 の抵抗値に反比例した電圧降下、すなわち、抵抗 28 および 25 の抵抗値比 $(抵抗 28 / 抵抗 25)$ で設定可能な降下電圧が発生し、この降下電圧とダイオード 29 の順方向電圧 VF の和が、REF2 としてトランスファゲート 31 を介して出力される。また、この REF2 の温度依存性 $\delta (REF2) / \delta T$ は、抵抗 28 と 25 の抵抗値 R28, R25 と、トランジスタ 21 ~ 24, 26 の各 [チャネル幅/長 = W/L] 比と、ダイオード 29 の順方向電圧 VF とにより、次式で表される。

【0028】

$$\begin{aligned} \delta(\text{REF}2)/\delta T = & (k/q) \times \ln \{ \{ (W22/L22) \\ & \times (W24/L24) \} / \{ (W21/L21) \times (W25/L25) \} \} \\ & \times \{ (W23/L23) / (W21/L21) \} \times (R28/R25) \\ & + \delta(VF)/\delta T \end{aligned} \quad \dots\dots (6)$$

この式(6)は、ダイオード29の順方向電圧VFの温度依存性 $\delta(VF)/\delta T$ は、通常は負の値を持ち、REF2の温度依存性 $\delta(\text{REF}2)/\delta T$ は、抵抗28、25の抵抗値比 $(R28/R25)$ により設定可能であることを示している。すなわち、REF2のレベルは、抵抗28、25の設定によって温度依存性を持ち、低温では高く、高温では低くなるように設定される。

【0029】以上説明したように、トランスファークロスタック30、31の選択によってREF1またはREF2が選択されることにより、最終的な出力であるREFのレベルは異なるものとなり、同時に、REFレベルの温度依存性も異なることになる。このように、バンドギャップ

$$\text{OUT} = \{ (R1 + R2 + R3) / (R1 + R2) \} \times \text{REF}1 \dots\dots (7)$$

また、ベリファイ時には、レベル補正用レギュレータ回路120ではトランスファークロスタック37が選択される。また、バンドギャップ回路110ではトランスファークロスタック31が選択される。このため、レベル補正用レギュ

$$\text{OUT} = \{ (R1 + R2 + R3) / (R1 + R2) \} \times \text{REF}2 \dots\dots (8)$$

【0031】以上のように、バンドギャップ回路110のトランスファークロスタック30、31の選択とレベル補正用レギュレータ回路120のトランスファークロスタック36、37の選択を連動させ、WRITEモードとベリファイモードにおいて、REF1とREF2のレベルが異なる分を、レベル補正用レギュレータ回路120の抵抗35の抵抗比の設定(電圧Sref1と電圧Sref2の取り出し位置の選択)により、レベル補正用レギュレータ回路120の出力(OUT)レベル(基準電圧)を2つのモードで同一レベルに設定することが可能になる。例えば、25℃において、WRITEモードとベリファイモードに変化しても、レベル補正用レギュレータ回路120の出力(OUT)レベルは、常に同一値が得られるようになる。また、レベル補正用レギュレータ回路120の出力(OUT)レベル(=基準電圧)の温度特性は、WRITEモード時にはREF1レベルが温度依存性を持たないため、温度に関係なくOUTレベルは一定値になる。更に、レベル補正用レギュレータ回路120のOUTレベルの温度特性は、ベリファイモード時には、REF2が温度特性を持たない(低温では高く、高温では低い)ため、低温時にはOUTレベルが高く、高温になるに従って低くなる設定になる。

【0032】このように、レベル補正用レギュレータ回路120の出力電圧OUTを基準電圧源にした場合、例えば、温度25℃時には、WRITEモードでもベリファイモードでも同じ値が得られることになる。しかし、WRITEモード時には、レベル補正用レギュレータ回

路110の出力(REF)レベルが、WRITEモードとベリファイモードで異なるため、一旦、レベル補正用レギュレータ回路120でレギュレートする。WRITEモード時には、レベル補正用レギュレータ回路120のトランスファークロスタック36が駆動される。また、バンドギャップ回路110ではトランスファークロスタック30が選択される。このとき、レベル補正用レギュレータ回路120の出力(OUT)レベルは、抵抗35を分割している抵抗値R1～R3によって決まり、次の式で表される。

【0030】

レータ回路120の出力(OUT)レベルは、抵抗35を分割している抵抗値R1～R3によって、次式で求められる。

路120の出力(OUT)レベルは、温度変化に関係なく温度25℃のときのOUTレベルと同じ値に設定されることになる。ベリファイモード時には、低温時のOUTレベルが高くなり、高温時のOUTレベルが低くなるように設定される。

【0033】ここで、WRITE時およびベリファイ時のトランスファークロスタック30、36の動作について説明する。WRITE時においては、メモリセルのドレインとゲートの電圧は温度依存性を持たない一定レベルが必要である。そこで、WRITE時には、以下のように動作する。バンドギャップ回路110のWRITE端子40には、WRITE信号として“H”レベルの電圧を印加する。これにより、バンドギャップ回路110からはREF1=REFが出力される。ここで、REF1は温度依存性がないため、REF信号も温度依存性がなく、一定レベルになる。トランスファークロスタック30と同時に、レベル補正用レギュレータ回路120のトランスファークロスタック36が選択される。これにより、Sref1がトランスファークロスタック36を通して差動増幅器33の(+)入力端子に印加され、Sref1=Srefとなる。このレベル補正用レギュレータ回路120の出力(OUT)レベルも温度依存性がないので、一定レベルを得ることができる。

【0034】一方、ベリファイ時においては、温度依存性を持った出力レベルが必要である。温度が低いときにはベリファイレベルは高く、温度が高いときにはベリファイレベルが低くなることが求められる。そこで、バン

ドギャップ回路 110 のペリファイ端子 41 に “H” レベルの電圧を印加する。このため、バンドギャップ回路 110 はトランスファークゲート 31 を選択し、 $REF2 = REF$ にする。この動作により、 REF レベルは、温度が低いときには高く、温度が高いときには低くなる。同時に、レベル補正用レギュレータ回路 120 においては、トランスファークゲート 31 の選択に連動してトランスファークゲート 37 が選択され、 $Sref2 = Sref$ となる。レベル補正用レギュレータ回路 120 の出力 (OUT) レベルは、 REF レベルに応じて温度が低いときには高く、温度が高いときには低くなる。

【0035】図 2 は、1 つのバンドギャップ回路および 1 つのレベル補正用レギュレータ回路を用いて温度依存性無しを書き込み用電圧と温度依存性有りのペリファイ用電圧を生成するための回路を示す。この回路構成は、レベル補正用レギュレータ回路 120 の出力電圧 (OUT) を基準電圧源とし、その基準電圧を書き込み用レギュレータ回路 130 とペリファイ用レギュレータ回路 140 に印加するようにしている。これにより、書き込み用レギュレータ回路 130 から出力される書き込みレベルは温度依存性を持たず、ペリファイ用レギュレータ回路 140 から出力されるペリファイレベルは温度依存性を持つようになる。

【0036】図 3 は、図 2 の構成における各回路の出力電圧レベルと温度の関係を示す。図 3 から明らかなように、書き込み時には、バンドギャップ回路 110 では $REF2$ が選択され、 REF が温度依存性を持つように設定 (特性 a) されることにより、書き込み用レギュレータ回路 130 から出力される書き込みレベルは温度依存性を持つようになる (特性 c)。一方、ペリファイ時には、バンドギャップ回路 110 では $REF1$ が選択され、 REF が温度依存性を持たないように設定 (特性 b) することにより、ペリファイ用レギュレータ回路 140 から出力されるペリファイレベルは温度依存性を持たないようになる (特性 d)。

【0037】以上より明らかなように、上記実施の形態によれば、書き込み (消去)、ペリファイの際の基準電圧源となるバンドギャップ回路を従来の 2 つから 1 つに減らせるようになるため、レイアウト面積の削減が可能になる。また、ペリファイモードにおいて、バンドギャップ回路 110 の出力部のトランスファークゲート及び電圧補正用のレギュレータ回路の抵抗部のトランスファークゲートの選択により、より細かい温度特性のペリファイレベルが得られるため、メモリセルの温度特性等の特性に細かく対応が可能となり、メモリセルの特性を最大限に引き出すことが可能となる。近年、微細化が進み、メモリセルの特性を十分に引き出すことが難しくなってきた。

ている。また、ローコスト化も要求されている。このような要求を満たすことは従来技術では不可能であったが、本発明によれば、書き込み (消去) に応じたレベルを最適に生成し、ペリファイモードに応じたレベルを最適に生成でき、メモリセルの特性に合わせたレベルを作り出せ、さらにレイアウト面積を小さくできる。このため、上記した課題が解決される。

【0038】次に、本発明の他の実施の形態について説明をする。

【第 2 の実施の形態】図 4 は本発明の他の実施の形態を示す。図 4 においては、図 1 と同一または同一機能を有するものには同一引用数字を用いており、以下においては、重複する部分の説明を省略する。バンドギャップ回路 210 は、P 型トランジスタ 23 のソースと抵抗 27 の間に挿入され、その接続点から $REF3$ を取り出せるようにした抵抗 51 と、前記接続点と出力端子 42 の間に設けられたトランスファークゲート 52 と、このトランスファークゲート 52 のゲートに接続されたペリファイ II 端子 53 を、図 1 のバンドギャップ回路 110 に追加して構成されている。トランスファークゲート 30, 31, 52 は、不揮発性メモリの WR ITE モード、ペリファイモード、ペリファイ II モードに応じて 1 つが選択される。すなわち、WR ITE モード時にはトランスファークゲート 30 が選択されることにより $REF1$ が出力され、ペリファイモード時にはトランスファークゲート 31 が選択されることにより $REF2$ が出力され、さらに、ペリファイ II モード時にはトランスファークゲート 52 が選択されることにより $REF3$ が出力される。

【0039】また、レベル補正用レギュレータ回路 220 は、図 1 のレベル補正用レギュレータ回路 120 にトランスファークゲート 54 を追加した構成にしている。さらに、抵抗 35 に抵抗値 $R4$ を新たに設定して第 3 の分割点を設け、この分割点から $Sref3$ を取り出せるようにし、この分割点と差動増幅器 33 の (+) 入力端子との間にトランスファークゲート 54 を設け、そのゲートをペリファイ II 端子 53 に接続している。

【0040】バンドギャップ回路 210 においては、抵抗 51, 27, 28 と抵抗 25 の抵抗値比 $\{ (R51 + R27 + R28) / R25 \}$ で決まる電圧降下 VR が発生し、この電圧降下とダイオード 29 の順方向電圧 VF の和 $(VR + VF)$ が、 $REF3$ として出力される。また、この $REF3$ の温度依存性 $\delta (REF3) / \delta T$ は、抵抗 51, 27, 28 と抵抗 25 の抵抗値 $R51, R27, R28, R25$ と、各トランジスタ 21 ~ 24, 26 の [チャネル幅 / 長 = W / L] 比と、ダイオード 29 の順方向電圧 VF とにより、次式で示される。

【0041】

$$\begin{aligned} \delta (REF3) / \delta T = & (k/q) \times \ln [\{ (W22/L22) \\ & \times (W24/L24) \} / \{ (W21/L21) \times (W26/L26) \}] \\ & \times (W23/L23) / (W21/L21) \end{aligned}$$

$$\times (R28 + R27 + R51) / R25 + \delta(VF) / \delta T \cdots (9)$$

(ただし、W21～W24、W26はトランジスタ21～24、26のチャネル幅、L21～L24、L26はトランジスタ21～24、26のチャネル長である) この式(9)は、ダイオード29の順電圧VFの温度依存性 $\delta(VF) / \delta T$ が、通常は負の値を持ち、REF3の温度依存性 $\delta(REF3) / \delta T$ は、抵抗27、28、51、25の抵抗値比 $\{(R27 + R28 + R51) / R25\}$ により設定可能であることを示している。すなわち、抵抗27、28、51、25を適宜設定することにより、REF3のレベルは温度依存性を持ち、低温では低く、高温では高い値を得ることができる。

【0042】このように、バンドギャップ回路210のREF1、REF2、およびREF3をWRITEモード、ペリファイモード、ペリファイIIモードに応じてトランスファークゲート30、31、51により選択することにより、バンドギャップ回路の出力(REF)レベル

$$OUT = \{(R1 + R2 + R3 + R4) / (R1 + R2 + R3)\} \times REF3 \cdots (10)$$

【0044】以上のように、バンドギャップ回路210のトランスファークゲート30、31、52の選択と、レベル補正用レギュレータ220のトランスファークゲート36、37、54の選択を連動させることにより、WRITEモード、ペリファイモード、ペリファイIIモードに対応して出力されるREF1、REF2、REF3の各レベルは相違するが、これを抵抗35の抵抗値R1～R4を最適に設定することにより、レベル補正用レギュレータの出力(OUT)レベルは、どのモードでも同じにすることが可能になる。例えば、25℃において、WRITEモード、ペリファイモード、およびペリファイIIモードが変化したとしても、レベル補正用レギュレータ220の出力(OUT)レベルが常に同じ値になるように設定される。

【0045】そして、レベル補正用レギュレータ220の出力(OUT)レベルにおいては、WRITEモードのときにREF1に温度依存性を持たせないため、温度に関係なく一定レベルになる。また、ペリファイモードのときには、REF2に温度依存性を持たせたことにより、低温時にはOUTレベルが高く、高温になるに従ってOUTレベルが低くなる設定になる。更に、ペリファイIIモードのときには、REF3に温度特性を持たせたため、低温時にはOUTレベルが低く、高温になるに従ってOUTレベルが高くなる設定になる。

【0046】このように、レベル補正用レギュレータ回路220の出力(OUT)レベルを基準電圧源にした場合、WRITEモードでもペリファイレベルでも同じ出力値が得られる。しかし、WRITEモード時におけるレベル補正用レギュレータ回路220の出力(OUT)レベルは、温度に関係なく、OUTレベルと同一レベル

は3種類に変更できる。同時に、バンドギャップ回路の出力(REF)レベルの温度依存性も異なる。このように、バンドギャップ回路210の出力レベルがWRITEモード、ペリファイモード、ペリファイIIモードのそれぞれで異なることになるため、レベル補正用レギュレータ220によってレギュレートが行われる。

【0043】レベル補正用レギュレータ回路220は、バンドギャップ回路210からのREFを入力とし、このREFに基づいてレベル補正用レギュレータ220の出力電圧(OUT)を設定ならびに生成する。ペリファイIIモードのとき、トランスファークゲート54が選択される。また、バンドギャップ回路210ではトランスファークゲート52が選択される。このため、レベル補正用レギュレータ220の出力(OUT)レベルは、抵抗35の分割点により分割された抵抗値R1、R2、R3、R4により、次式で決定される。

に設定されることになる。また、ペリファイモード時には、温度に対して低温時にはOUTレベルが高く、高温になるに従ってOUTレベルが低くなるように設定される。更に、ペリファイIIモード時では、低温時にはOUTレベルが低くなり、高温になるに従ってOUTレベルが高くなるように設定される。

【0047】次に、図4の実施の形態の全体的な動作について説明する。WRITE時には、メモリセルのドレインとゲート電圧は温度依存性を持たない一定レベルが必要である。そこで、以下のように基準電圧を生成する。バンドギャップ回路210のWRITE端子40に“H”レベルの電圧を印加し、バンドギャップ回路210のトランスファークゲート30を選択し、REF1=REFにする。REF1は温度依存性がないので、出力REFも温度依存性はなく、一定レベルになる。同時に、レベル補正用レギュレータ回路220のトランスファークゲート36にも“H”レベルの電圧が選択されるので、Sref1=Srefが差動増幅器33の(+)入力端子に入力され、Sref1に対応した出力電圧OUTが出力される。REF1が温度依存性を持たないため、レベル補正用レギュレータ回路220の出力(OUT)レベルも温度に対して依存性がなく、一定レベルを得ることができる。

【0048】次に、ペリファイ時においては、温度依存性を持ったOUTレベルが必要である。そこで、以下のように基準電圧を生成する。バンドギャップ回路210のペリファイ端子41に“H”レベルの電圧を印加し、バンドギャップ回路210のトランスファークゲート31を選択し、REF2=REFにする。これにより、温度が低いときにはREFが高く、温度が高いときには低い

値の REF が生成される。同時に、レベル補正用レギュレータ回路 220 のトランスファークゲート 37 にも “H” レベルの電圧が印加され、 $S_{ref2} = S_{ref}$ になるため、 S_{ref2} に対応した出力電圧 OUT が出力される。REF2 が温度依存性を持たないため、レベル補正用レギュレータ回路 220 の出力 (OUT) レベルも温度に対して依存性がなく、一定レベルを得ることができる。ベリファイ II のとき、レベル補正用レギュレータ回路 220 は温度依存性を持った出力レベルである必要がある。そこで、以下のように基準電圧を生成する。バンドギャップ回路 210 のベリファイ II 端子に “H” レベルの電圧を印加してトランスファークゲート 52 を選択し、 $REF3 = REF$ にする。REF3 は温度が低いときには低く、温度が高いときには高くなるため、REF も同じ特性になる。同時に、レベル補正用レギュレータ回路 220 のトランスファークゲート 54 にも “H” レベルの電圧が印加されるため、 $S_{ref3} = S_{ref}$ になるため、 S_{ref3} に対応した出力電圧 OUT が出力される。このとき、REF3 が温度依存性を持つため、レベル補正用レギュレータ回路 220 の出力 (OUT) レベルは、温度が低いときには低く、高いときには高くなる。

【0049】上記した第 2 の実施の形態によれば、不揮発性メモリが、WRITE モード、ベリファイモード、ベリファイ II モードの 3 つのモードを持つ場合でも、基準電圧源となるバンドギャップ回路が 1 つで済ませることができ、レイアウト面積の削減が可能になる。また、第 1 の実施の形態と同様に、各回路のトランスファークゲートを連動させて選択することにより、きめ細かなベリファイレベルが得られるため、メモリセルの温度特性等の特性に細かく対応することが可能になり、メモリセルの特性を十分に引き出すことが可能になる。

【0050】なお、上記実施の形態においては、選択手段および切替手段にトランスファークゲートを用いるものとしたが、本発明はトランスファークゲートに限定されるものではなく、他の半導体スイッチ素子、マイクロリレー等であってもよい。

【0051】

【発明の効果】以上より明らかなように、本発明の不揮発性メモリの基準電圧発生回路によれば、書き込み／消去モードおよびベリファイ／読み出しモードのそれぞれに対応した温度－出力電圧特性の出力電圧が生成され、その 1 つが前記モードに応じて選択して出力する 1 つの

バンドギャップ回路と、このバンドギャップ回路からの出力電圧をモード毎に出力レベルを補正し、これを基準電圧とする 1 つのレベル補正用レギュレータ回路により構成したので、書き込み／消去モードおよびベリファイ／読み出しモードのそれぞれの基準電圧を最小構成の回路により生成することができ、レイアウト面積を小さくしながら、各モードに応じた温度特性が実現できる。

【図面の簡単な説明】

10 【図 1】本発明の不揮発性メモリの基準電圧発生回路を示す回路図である。

【図 2】1 つのバンドギャップ回路および 1 つのレベル補正用レギュレータ回路を用いて温度依存性無しの書き込み用電圧と温度依存性有りのベリファイ用電圧を生成するための回路を示すブロック図である。

【図 3】図 2 の構成における各回路の出力電圧レベルと温度の関係を示す電圧－温度特性図である。

【図 4】本発明の他の実施の形態を示す回路図である。

【図 5】従来の不揮発性メモリの基準電圧発生回路を示す回路図である。

20 【図 6】バンドギャップ回路と書き込み用レギュレータ回路を備えた従来の基準電圧発生回路の書き込み用およびベリファイ用の概略構成を示すブロック図である。

【図 7】図 6 の (a) の書き込み用レギュレータ回路の出力レベルと温度の関係を示す電圧－温度特性図である。

【図 8】図 6 の (b) のベリファイ用レギュレータ回路の出力レベルと温度の関係を示す電圧－温度特性図である。

【符号の説明】

21, 22, 23, 34 P 型トランジスタ

24, 25, 26 N 型トランジスタ

25, 27, 28, 35 抵抗

29 ダイオード

30, 31, 36, 37, 52, 54 トランスファークゲート

33 差動増幅器

100, 200 基準電圧発生回路

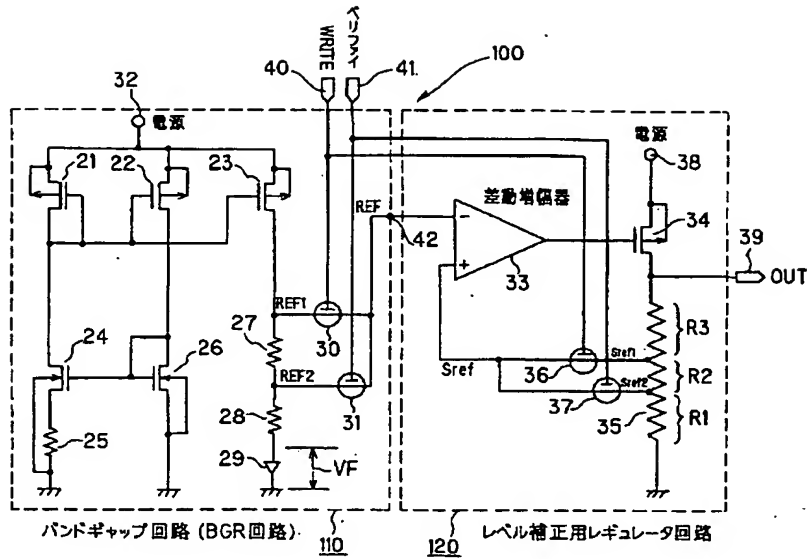
110, 210 バンドギャップ (BGR) 回路

120, 220 レベル補正用レギュレータ回路

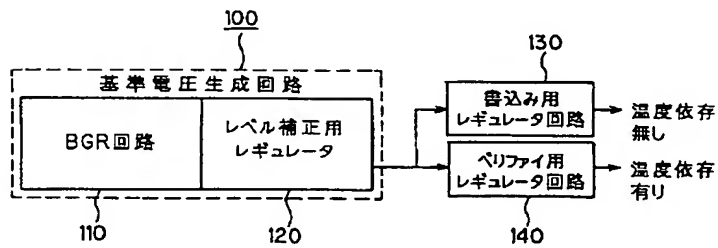
40 130 書き込み用レギュレータ回路

140 ベリファイ用レギュレータ回路

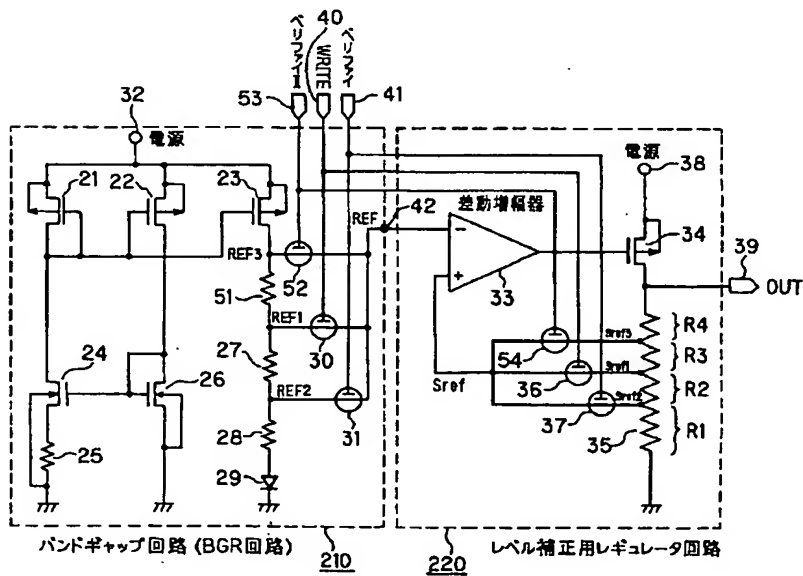
【図 1】



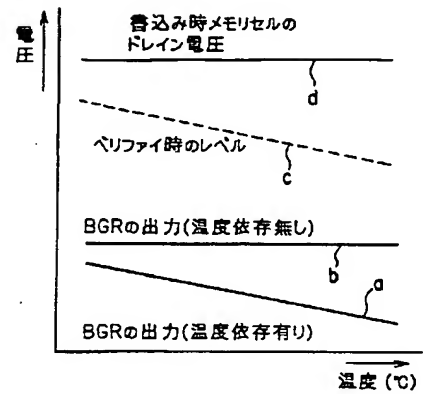
【図 2】



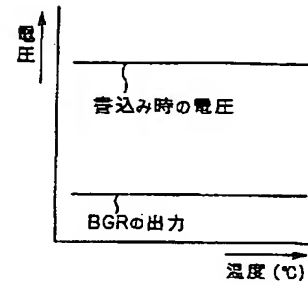
【図 4】



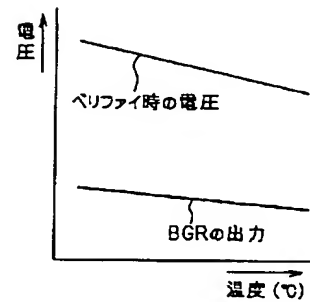
【図 3】



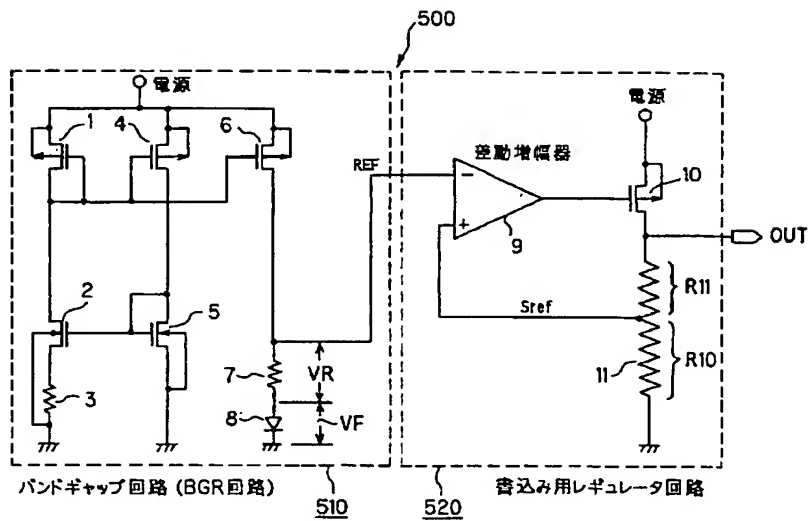
【図 7】



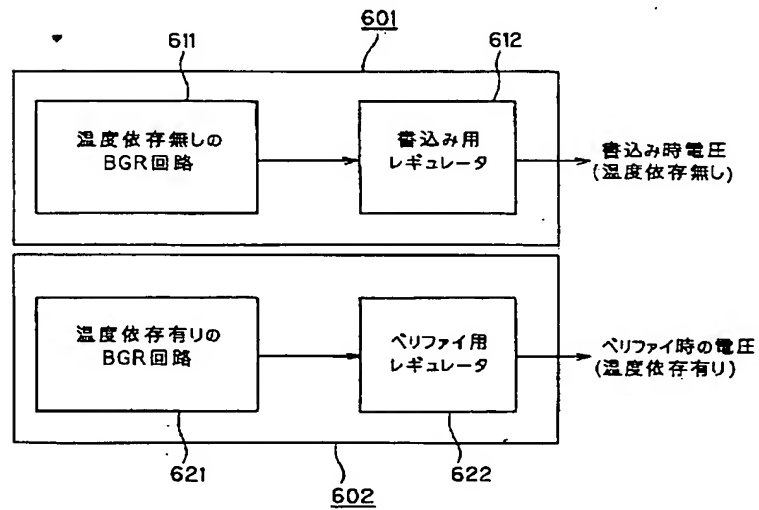
【図 8】



【図 5】



【図 6】



フロントページの続き

(72)発明者 田村 剛

神奈川県川崎市中原区小杉町一丁目403番5

3 日本電気アイシーマイコンシステム株
式会社内

F ターム(参考) 5B025 AD09 AE00 AE08

5H430 BB01 BB05 BB09 BB11 EE06

FF02 FF13 GG04 HH03 JJ04

LA21